

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-185310

(43)Date of publication of application : 28.06.2002

(51)Int.Cl.

H03K 23/64
G06F 1/08
H03K 5/00

(21)Application number : 2000-384082

(71)Applicant : YASKAWA ELECTRIC CORP

(22)Date of filing : 18.12.2000

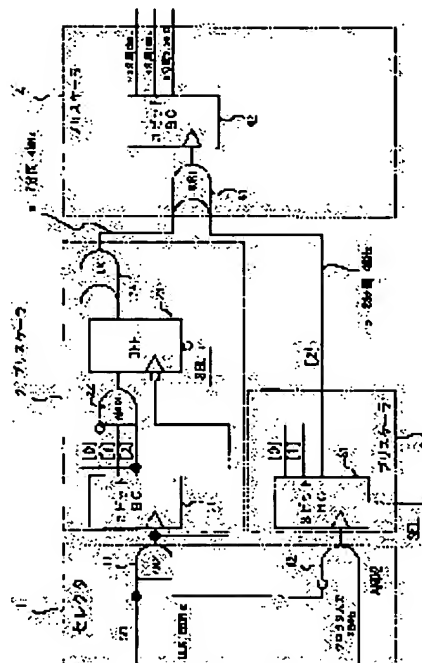
(72)Inventor : SAKATA SHUNICHI
KAJIWARA SHINSUKE

(54) PRE-SCALER DEVICE AND DIVIDING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pre-scaler circuit capable of obtaining a clock signal of a desirable frequency by small circuits with respect to an input of the clock signal of a different frequency.

SOLUTION: In a pre-scaler device, a plurality of clock signals of a different frequency are input as a first basic clock signal, and the basic clock signal is divided to generate the clock signal of a desirable frequency. The pre-sealer device has a plurality of first pre-scalers 2, 3 and a single second pre-scaler 4. In the plurality of first pre-scalers 2, 3, when a common divisor of a frequency of a plurality of the first basic clock signals is an intermediate frequency, each of the plurality of basic clock signals of the different frequency is input, and each of the second basic clock signals of the intermediate frequency is generated. In the single second pre-scaler 4, the second basic clock signal output from the plurality of first pre-scalers is input and divided to generate the clock signal of the desirable frequency.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-185310
(P2002-185310A)

(43) 公開日 平成14年6月28日 (2002. 6. 28)

(51) Int.Cl. ⁷	識別記号	F I	テグコード (参考)
H 0 3 K 23/64		H 0 3 K 23/64	H 5 B 0 7 9
G 0 6 F 1/08		G 0 6 F 1/04	3 2 0 Z 5 J 0 3 9
H 0 3 K 5/00		H 0 3 K 5/00	F

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2000-384082(P2000-384082)

(22) 出願日 平成12年12月18日 (2000. 12. 18)

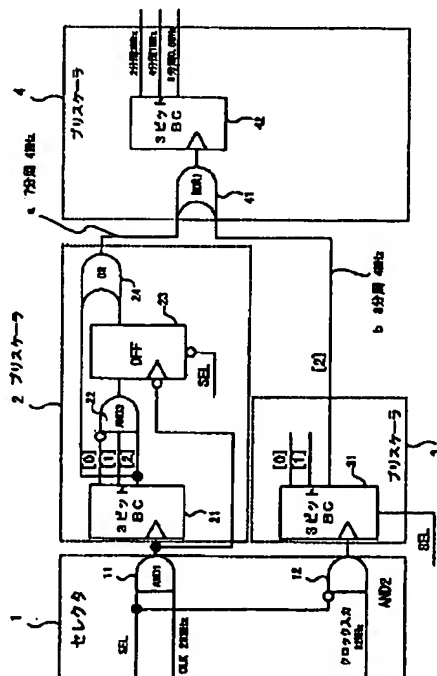
(71) 出願人 000006622
株式会社安川電機
福岡県北九州市八幡西区黒崎城石2番1号
(72) 発明者 坂田 俊一
福岡県北九州市八幡西区黒崎城石2番1号
株式会社安川電機内
(72) 発明者 梶原 慎介
福岡県北九州市八幡西区黒崎城石2番1号
株式会社安川電機内
(74) 代理人 100088328
弁理士 金田 暢之 (外2名)
Fターム(参考) 5B079 BA03 BB04 BC03 DD03 DD20
5J039 AC16 KK09 KK10 KK23 MM04

(54) 【発明の名称】 プリスケーラ装置および分周方法

(57) 【要約】

【課題】 異なる周波数のクロック信号入力に対して少ない回路部品で所望の周波数のクロック信号を得ることができるプリスケーラ回路を提供する。

【解決手段】 異なる周波数の複数のクロック信号を第1の基本クロック信号として入力し、該基本クロック信号を分周して所望周波数のクロック信号を生成するプリスケーラ装置である。複数の第1の基本クロック信号の周波数の公約数を中間周波数とすると、異なる周波数の複数の基本クロック信号のそれぞれを入力して、中間周波数の第2の基本クロック信号をそれぞれ生成する複数の第1のプリスケーラ2、3と、複数の第1のプリスケーラから出力される第2の基本クロック信号を入力してその第2の基本クロック信号を分周して前記所望周波数のクロック信号を生成する単一の第2のプリスケーラ4とを有する。



【特許請求の範囲】

【請求項1】 異なる周波数の複数のクロック信号を第1の基本クロック信号として入力し、該基本クロック信号を分周して所望周波数のクロック信号を生成するプリスケアラ装置において、

前記複数の第1の基本クロック信号の周波数の公約数を中間周波数とすると、前記異なる周波数の複数の基本クロック信号のそれぞれを個別に入力して、中間周波数の第2の基本クロック信号をそれぞれ生成する複数の第1のプリスケアラと、

前記複数の第1のプリスケアラから出力される第2の基本クロック信号を入力してその第2の基本クロック信号を分周して前記所望周波数のクロック信号を生成する単一の第2のプリスケアラとを有することを特徴とするプリスケアラ装置。

【請求項2】 プリスケアラ装置は複数の第1の基本クロック信号のうち、入力選択信号によって選択された1つの第1の基本クロックのみを出力する入力選択回路を有し、

それぞれの第1のプリスケアラは、当該第1のプリスケアラに入力されるべき第1の基本クロック信号が入力選択信号によって選択されたときには、当該第1の基本クロック信号を分周して第2の基本クロック信号を生成し、生成された第2の基本クロック信号を第2のプリスケアラに出力し、当該第1のプリスケアラに入力されるべき第1の基本クロック信号が入力選択信号によって選択されなかったときには所定の論理レベルを第2のプリスケアラに供給する第1の分周手段を有し、

第2のプリスケアラは、総ての第1のプリスケアラの出力を入力して、前記入力選択信号によって選択された第1の基本クロック信号を入力する第1のプリスケアラの出力のみを出力する論理ゲート回路と、前記論理ゲート回路の出力を入力して前記所望周波数のクロック信号を生成する第2の分周手段を有する、請求項1に記載のプリスケアラ装置。

【請求項3】 設定された中間周波数の 2^n (n は正整数) 倍の周波数をもつ第1の基本クロック信号を入力する第1の分周手段は、第1の基本クロック信号を計数して、最下位出力ビットから数えて第 n 番目の出力ビットから出力されるパルス信号を第2の基本クロック信号として第2のプリスケアラに供給する n ビットの第1のバイナリカウンタを有し、

設定された中間周波数に対して k (k は正奇数) 倍の周波数をもつ第1の基本クロック信号を入力する第1の分周手段は、

第1の基本クロック信号を計数して $k-1$ クロックパルスを計数する毎に次のクロック周期で0にリセットされて再び計数を開始する動作を繰り返す第2のバイナリカウンタと、

第2のバイナリカウンタの所定の出力ビットから出力さ

れるパルス信号を入力して中間周波数のパルス信号を生成する論理回路とを有する、請求項2に記載のプリスケアラ装置。

【請求項4】 設定された中間周波数に対して k (k は正奇数) 倍の周波数をもつ第1の基本クロック信号を入力する第1の分周手段は、さらに、第1の基本クロック信号をクロック入力として、論理回路の出力を第1の基本クロック信号に同期するように成形する第1の成形回路と、第1の成形回路の出力をデューティサイクル50%の波形に成形する第2の成形回路とを有する請求項3に記載のプリスケアラ装置。

【請求項5】 異なる周波数の複数のクロック信号を第1の基本クロック信号として、該基本クロック信号を分周して所望周波数のクロック信号を生成する分周方法において、前記複数の第1の基本クロック信号の周波数の公約数を中間周波数とし、

前記複数の基本クロック信号のうち、任意に選択された1つの基本クロック信号を分周して、中間周波数をもつ第2の基本クロック信号を生成し、

前記複数の基本クロック信号のうち、その他の、選択されなかった基本クロック信号を、予め準備された論理ゲート回路に対してデータ信号の伝達を許容するゲート信号として働く論理ゲート信号に変換し、

前記選択された1つの基本クロック信号から生成された第2の基本クロック信号をデータ信号とし、選択されなかった基本クロック信号から変換されて生成された論理ゲート信号をゲート信号として前記論理ゲート回路に入力し、

前記論理ゲート回路から出力される第2の基本クロック信号を分周して前記所望周波数のクロック信号を生成することを特徴とする分周方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基本クロックを入力して分周し、必要な周波数のクロックを供給するプリスケアラ装置、およびプリスケアラ装置に使用される分周方法に関する。

【0002】

【従来の技術】 図4はプリスケアラ装置の従来例のブロック図である。 n ビットのバイナリカウンタ(図面においてBCと記す)を用意し、該カウンタに基本クロック信号を入力する。この例では、カウンタのビット0出力に2分周クロック信号、ビット1出力に4分周クロック信号、ビット $n-1$ 出力には 2^n 分周クロック信号を逐次得る事ができる。

【0003】 しかし図4のプリスケアラを用いる場合には、所定の周波数の信号を得るためには、異なる周波数入力に対して個別の回路を準備する必要があった。図5は異なる周波数入力に対して個別の回路を用いた従来のプリスケアラの構成図である。

【0004】図5の例では、基本クロック信号の周波数を28MHzと32MHzとして2分周の2MHz、4分周の1MHz、および8分周の0.5MHzを生成する。そのために、セクタ51は周波数28MHzおよび32MHzのクロック信号を入力し、それらのクロック信号の何れかを選択する。プリスケラ52は28MHzクロック信号を7分周して4MHzクロック信号を生成し、プリスケラ53は32MHzクロック信号を8分周して4MHzクロック信号を生成する。プリスケラ54および55はそれぞれプリスケラ52および53の出力を分周して2分周の2MHz、4分周の1MHz、および8分周の0.5MHzを生成する。

【0005】セクタ56は、セクタ51が28MHzを選択したときには、プリスケラ54が生成した周波数2MHz、1MHzおよび0.5MHzのクロック信号を選択出力し、セクタ51が32MHzを選択したときには、プリスケラ55が生成した周波数2MHz、1MHzおよび0.5MHzのクロック信号を選択出力する。

【0006】図6は図5のプリスケラを更に詳細に説明する回路図である。プリスケラ52は28MHzを7分周する回路を備えている。プリスケラ53は、3ビットの出力をもつ任意のバイナリカウンタ66を備え、そのビット2（最高出力ビット）の出力が8分周クロック信号を出力する。

【0007】プリスケラ54は、3ビットの出力を有するバイナリカウンタ65を備え、プリスケラ52から出力された4MHzクロック信号を入力して、該クロック信号の2分周クロック信号である2MHzクロック信号、4分周クロック信号の1MHzクロック信号、8分周クロック信号の0.5MHzクロック信号を出力する。プリスケラ55は、プリスケラ53から出力された4MHzクロック信号を入力して、該クロック信号の2分周クロック信号の2MHzクロック信号、4分周クロック信号の1MHzクロック信号、8分周クロック信号の0.5MHzクロック信号を出力する。

【0008】セクタ56は、2入力ANDゲート610、611、612と2入力ANDゲート620、621、622とNORゲート630、631、632を備えている。ANDゲート610、611、612の一方の入力端子は、それぞれプリスケラ54から出力される2MHzクロック信号、4分周クロック信号の1MHzクロック信号、8分周クロック信号の0.5MHzクロック信号を入力し、他方の入力端子は、インバータ68によって反転された選択信号SELを入力する。2入力ANDゲート620、621、622の一方の入力端子は、それぞれプリスケラ55から出力される2MHzクロック信号、4分周クロック信号の1MHzクロック信号、8分周クロック信号の0.5MHzクロック信号を入力し、他方の入力端子は、選択信号SELを入力する。

【0009】セクタ51にて28MHzクロック信号入力を選択した場合、28MHzのクロック入力プリスケラ52を通して7分周の4MHzクロック信号としてプリスケラ54へ入力され、2分周2MHzクロック信号、4分周1MHzクロック信号、8分周0.5MHzクロック信号として出力される。このとき、選択信号SELは論理0にされる。したがって、ANDゲート610、611、612の一方の入力は論理1になるので、ANDゲート610、611、612は、プリスケラ54から出力される2分周2MHzクロック信号、4分周1MHzクロック信号、8分周0.5MHzクロック信号をそれぞれNORゲート630、631、632の一方の入力端子に伝達する。

【0010】また、このとき（選択信号SELが論理0のとき）、ANDゲート620、621、622の一方の入力端子は論理0になるので、ANDゲート620、621、622は、NORゲート630、631、632の他方の入力端子に対してプリスケラ55の出力に無関係に論理0を与える。その結果、NORゲート630、631、632は、プリスケラ54の出力、すなわち、28MHzの入力クロック信号を分周した周波数2MHz、1MHz、0.5MHzをセクタ56の出力として出力する。同様にセクタ51にて32MHzクロック入力を選択した場合には、32MHzクロック信号入力はプリスケラ53を通して8分周の4MHzクロック信号としてプリスケラ55へ入力され、2分周2MHzクロック信号、4分周1MHzクロック信号、8分周0.5MHzクロック信号としてプリスケラから出力される。

【0011】この場合には、選択信号SELは論理1に設定されるので、NORゲート630、631、632は、プリスケラ55の出力、すなわち、32MHzの入力クロック信号を分周した周波数2MHz、1MHz、0.5MHzをセクタ56の出力として出力する。

【0012】

【発明が解決しようとする課題】上記の従来のプリスケラは、異なる周波数のクロック信号入力のそれぞれについて異なる回路を準備する必要があるため、回路規模の大きさ、消費電流の面で満足のいく品質が得られなかった。本発明の目的は、異なる周波数のクロック信号入力に対して少ない回路部品で所望の周波数のクロック信号を得ることができるプリスケラ回路を提供することにある。

【0013】

【課題を解決するための手段】上記の目的を達成するために、本発明のプリスケラ装置は、異なる周波数の複数のクロック信号を第1の基本クロック信号として入力し、該基本クロック信号を分周して所望周波数のクロック信号を生成するプリスケラ装置であって、複数の第

1の基本クロック信号の周波数の公約数を中間周波数とし、異なる周波数の複数の基本クロック信号のそれぞれを入力して、中間周波数の第2の基本クロック信号をそれぞれ生成する複数の第1のプリスケアラと、複数の第1のプリスケアラから出力される第2の基本クロック信号を入力してその第2の基本クロック信号を分周して前記所望周波数のクロック信号を生成する単一の第2のプリスケアラとを有する。

【0014】したがって、入力される第1の基本クロック信号の周波数の公約数を中間周波数とするので、それらの基本クロック信号の数に関係なく、すべての第1の基本クロック信号に対して同一の中間周波数の第2の基本クロック信号が生成される。このように、すべての第1の基本クロック信号に対して同一の中間周波数の第2の基本クロック信号が生成されるので、「単一の」第2のプリスケアラによって第2の基本クロック信号を処理することができる。

【0015】さらに、プリスケアラ装置は複数の第1の基本クロック信号のうち、入力選択信号によって選択された1つの第1の基本クロックのみを出力する入力選択回路を有し、それぞれの第1のプリスケアラは、当該第1のプリスケアラに入力されるべき第1の基本クロック信号が入力選択信号によって選択されたときには、当該第1の基本クロック信号を分周して第2の基本クロック信号を生成し、生成された第2の基本クロック信号を第2のプリスケアラに出力し、当該第1のプリスケアラに入力されるべき第1の基本クロック信号が入力選択信号によって選択されなかったときには所定の論理レベルを第2のプリスケアラに供給する第1の分周手段を有し、第2のプリスケアラは、総ての第1のプリスケアラの出力を入力して、前記入力選択信号によって選択された第1の基本クロック信号を入力する第1のプリスケアラの出力のみを出力する論理ゲート回路と、前記論理ゲート回路の出力を入力して前記所望周波数のクロック信号を生成する第2の分周手段を有する。

【0016】このとき、選択された第1の基本クロック信号に対応する第1の分周手段から出力される第2の基本クロック信号は論理ゲート回路に対して、データ信号として働く。また、選択されなかった第1の基本クロック信号に対応する第1の分周手段から供給される所定の論理レベルは、論理ゲート回路に対して、データ信号を通過させるゲート信号として働く。この論理ゲート回路の作用によって、「単一の」第2のプリスケアラによって複数の第1の分周手段の出力信号を処理することができる。

【0017】第1の分周手段が次のような実施態様をもつことが有利である。すなわち、設定された中間周波数の 2^n (n は正整数) 倍の周波数をもつ第1の基本クロック信号を入力する第1の分周手段は、第1の基本クロック信号を計数して、最下位出力ビットから数えて第 n

番目の出力ビットから出力されるパルス信号を第2の基本クロック信号として第2のプリスケアラに供給する第1のバイナリカウンタを有し、設定された中間周波数に対して k (k は正奇数) 倍の周波数をもつ第1の基本クロック信号を入力する第1の分周手段は、第1の基本クロック信号を計数して $k-1$ クロックパルスを計数する毎に次のクロック周期で0にリセットされて再び計数を開始する動作を繰り返す第2のバイナリカウンタと、第2のバイナリカウンタの所定の出力ビットから出力されるパルス信号を入力して中間周波数のパルス信号を生成する論理回路とを有し、設定された中間周波数に対して k (k は正奇数) 倍の周波数をもつ第1の基本クロック信号を入力する第1の分周手段は、さらに、第1の基本クロック信号をクロック入力として、論理回路の出力を第1の基本クロック信号に同期するように成形する第1の成形回路と、第1の成形回路の出力をデューティサイクル50%の波形に成形する第2の成形回路とを有する。

【0018】本発明のプリスケアラ装置に用いられる分周方法は、異なる周波数の複数のクロック信号を第1の基本クロック信号として、該基本クロック信号を分周して所望周波数のクロック信号を生成する分周方法であって、前記複数の第1の基本クロック信号の周波数の公約数を中間周波数とし、前記複数の基本クロック信号のうち、任意に選択された1つの基本クロック信号を分周して、中間周波数をもつ第2の基本クロック信号を生成し、前記複数の基本クロック信号のうち、その他の、選択されなかった基本クロック信号を、予め準備された論理ゲート回路に対してデータ信号の伝達を許容するゲート信号として働く論理ゲート信号に変換し、前記選択された1つの基本クロック信号から生成された第2の基本クロック信号をデータ信号とし、選択されなかった基本クロック信号から変換されて生成された論理ゲート信号をゲート信号として前記論理ゲート回路に入力し、前記論理ゲート回路から出力される第2の基本クロック信号を分周して前記所望周波数のクロック信号を生成する。

【0019】

【発明の実施の形態】以下、本発明の実施例を図に基づいて説明する。

【0020】図1は本発明の基本構成を示すブロック図である。本実施形態のプリスケアラ装置は、周波数が異なる2つの基本クロック信号を分周して所望の周波数のクロック信号を得る分周回路の例である。

【0021】本実施形態のプリスケアラ装置は、1つのセレクトと3つのプリスケアラのみによってプリスケアラ装置が構成されている。即ち、異なる周波数(以下、基本周波数と記す)の第1の基本クロック信号から分周クロック信号を生成する際に、該異なる周波数の公約数の周波数(中間周波数と記す)のクロック信号を生成し、このクロック信号を中間クロック信号として使用す

る。それによって回路を簡略化している。特に、本実施形態においては、中間周波数が第1の基本周波数の奇数分の一であって第2の基本周波数の 2^n 分の一（ n は正整数）である場合の例である。具体的には、第1の基本周波数を28MHz、第2の基本周波数を32MHzとし、中間周波数を4MHzとする例である。出力周波数は、2MHz、1MHz、0.5MHzである。

【0022】図1を参照すると、本実施形態のプリスケアラ装置は、セクタ1、プリスケアラ2、3、4を備えている。セクタ1は、周波数28MHzの第1の基本クロック信号および32MHzの第1の基本クロック信号を入力し、それらの基本クロック信号のいずれかを選択する。プリスケアラ2は、周波数が28MHzの基本クロック信号を入力して入力基本クロック信号を7分周して4MHzの第2の基本クロック信号（中間クロック信号）を出力する。プリスケアラ3は、周波数が32MHzの基本クロック信号を入力して入力基本クロック信号を8分周して4MHzの中間クロック信号を出力する。プリスケアラ4は、プリスケアラ2および3の出力を入力し、セクタ1が28MHzの基本クロック信号を選択したときには、プリスケアラ2の出力をさらに2分周、4分周、8分周してそれぞれ2MHz、1MHz、0.5MHzのクロック信号を出力する。プリスケアラ4は、また、セクタ1が32MHzの基本クロック信号を選択したときには、プリスケアラ3の出力を2分周、4分周、8分周してそれぞれ2MHz、1MHz、0.5MHzのクロック信号を出力する。

【0023】図2は、図1のプリスケアラ装置をさらに詳細に説明する回路図である。セクタ1は2つの2入力AND回路11、12を備え、それぞれの第1の入力端子は、それぞれ28MHzおよび32MHzの基本クロック信号を入力する。AND回路11、12の第2の入力端子には選択信号SELおよびその反転信号がそれぞれ印加される。（図2においては、AND回路12の反転入力端子に選択信号SELが印加されている。）したがって、選択信号SELが論理1のときにはAND回路11は28MHzの基本クロック信号をセクタ1の出力として出力し、AND回路12は、32MHzの基本クロック信号の伝達を抑止する。逆に、選択信号SELが論理0のときには、セクタ1は、28MHzの基本クロック信号の伝達を抑止して32MHzの基本クロック信号を出力する。

【0024】プリスケアラ2は、3ビットバイナリカウンタ21、3入力AND回路22、Dフリップフロップ（D-FF）23およびOR回路24を備えている。3ビットバイナリカウンタ21は、セクタ1のAND回路11の出力を基本クロックとして入力し、（0, 0, 0）=0から（1, 1, 0）=6までを計数する毎に、次の基本クロック周期でリセットして、同じ計数を繰り返す。3ビットバイナリカウンタ21のビット0、ビッ

ト1、ビット2の出力は、それぞれ3入力AND回路22の負論理入力端子、およびその他の正論理入力端子に接続されている。基本クロックは7クロック毎にリセットされるので、図3を参照して後述するように、AND回路22は、バイナリカウンタ21のビット0のパルス幅（基本クロックのパルス幅の2倍）を持ち、かつ、繰り返し周波数が4MHzのパルスを出力する。

【0025】Dフリップフロップ（DFF）23は、AND回路22の出力をD入力とし、AND回路11の出力（28MHzの基本クロック信号）を基本クロック信号（ラッチ信号）としてラッチ信号の立ち下がりエッジでD入力をQ出力としてラッチする。DFF23によって、AND回路22の出力は、基本クロックの立ち下がりエッジに同期したパルスに成形される。

【0026】Dフリップフロップ23は負論理のセット端子Sを有し、選択信号SELが論理1のとき、Q出力を出力し、選択信号SELが論理0のとき、D入力の如何に関わらず0を出力する。

【0027】OR回路24は、3ビットバイナリカウンタ21のビット3の出力とDFF23のQ出力を入力し、そのOR演算結果を出力する。OR回路24の出力は、図3を参照して後述するように、4MHz、デューティ50%のパルスになる。

【0028】プリスケアラ3は、出力ビット数が3のバイナリカウンタ31を備えている。バイナリカウンタ31は、32MHzの基本クロック信号を計数し、ビット出力[2]のパルス（8分周4MHz）を出力する。バイナリカウンタ31は、選択信号SELに接続された正論理のセット端子Sを有する。バイナリカウンタ31は、選択信号SELが論理0のときには、前記のビット出力3のパルス（8分周4MHz）を出力し、選択信号SELが論理1のときには、入力信号に無関係に論理0の信号を出力する。プリスケアラ4は、NOR回路41と出力ビット数が3ビットのバイナリカウンタ42を有する。

【0029】図3は、プリスケアラ2の動作を説明するタイミングチャートである。選択信号SELが論理1のとき、ANDゲート11から出力される28MHzクロック信号は3ビットバイナリカウンタ21で計数される。出力ビット[0]、出力ビット[1]、出力ビット[2]から、それぞれ14MHz、7MHz、3.5MHzが出力される。3入力ANDゲート22の入力端子のうち、3ビットバイナリカウンタ21の出力ビット[0]に接続されている端子は負論理端子であるので、ANDゲート22には、出力ビット[0]の出力を反転した逆相の14MHzのクロック信号と、出力ビット[1]、出力ビット[2]の正相の出力が印加される。3ビットバイナリカウンタ21の正相[0]の出力は28MHzクロック信号の7番目のクロックに同期して0にリセットされるので、ANDゲート22の正相の

【0】出力は、図3の【0】（正相）の曲線に示されているように、28MHzクロック信号の7番目のクロックに同期して立ち上がるのではなく、8番目のクロック信号に同期して立ち上がる。

【0030】3ビットバイナリカウンタ21の【1】出力は、図3の【1】と記されている曲線に示されているように、3ビットバイナリカウンタ21の正相【0】の出力が28MHzクロック信号の7番目のクロックに同期して0にリセットされるので、当該7番目のクロック信号の立ち上げに同期して立ち下がる。そして、28MHzクロック信号の9番目のクロックに同期して立ち上がる。

【0031】3ビットバイナリカウンタ21の【2】出力も同様に、7番目のクロック信号の立ち上げに同期して立ち下がる。このようにして、ANDゲート22は、図3に示されているように、入力クロック信号を7分周した繰り返し周波数をもつクロック信号を出力する。

【0032】DFF23は、ANDゲート22の出力を28MHzクロック信号の立ち下がりに同期した信号に成形する（図3参照）。OR回路24は、DFF23の出力と3ビットバイナリカウンタ21の【2】出力との論理和を出力する。このOR回路24の出力は、デューティサイクル50%、7分周4MHzの基本クロック信号（第2のクロック信号）である。

【0033】次に、再び、図2を参照して本発明のプリスケアラ装置全体の動作を説明する。まず、セクタ1の選択信号SELに論理1（Hレベル）が到来した時には、クロック入力32MHzを入力とするAND12の出力は論理0（Lレベル）固定になり、また、バイナリカウンタ31は、論理1の選択信号SELによって0にリセットされる。その結果、プリスケアラ3の8分周出力の4MHzの中間クロック信号は論理0に固定される。

【0034】この時、ANDゲート11は入力可能になり、クロック入力28MHzを受け付ける。プリスケアラ2は前述の動作を行って7分周4MHzデューティ50%の中間クロック信号を出力する。このとき、プリスケアラ4のNORゲート41の一方の入力には、論理0に固定されたプリスケアラ3の出力が与えられているので、プリスケアラ2から出力された第2の基本クロック信号（中間クロック信号）がNORゲート41から出力される。

【0035】プリスケアラ4のバイナリカウンタ42は下位ビットより順に、4MHzの分周クロックである2MHz、1MHz、0.5MHzをそれぞれ出力する。

【0036】次に、セクタ1の入力選択信号SELとして論理0の信号が到来した時には、クロック入力28MHzを入力とするANDゲート11の出力は論理0に固定され、プリスケアラ2の出力は論理0に固定され

る。

【0037】この時、ANDゲート12は能動になり、クロック入力信号32MHzを受け付ける。プリスケアラ3は3ビットのバイナリカウンタで構成されているので、該カウンタの出力ビット【2】（バイナリカウンタ31の最上位出力ビット）にはANDゲート12の出力の8分周クロック信号、即ち4MHzの中間クロックが出力される。プリスケアラ2の出力は論理0に固定されているのであるから、プリスケアラ3の出力はそのままNORゲート41の出力になる。

【0038】前掲の実施形態においては、2つの異なる入力周波数について説明したが、入力周波数の数は、それら複数の入力周波数が公約数をもつ周波数であれば任意の数の周波数の信号を用いることができる。

【0039】また、図2の実施形態のNORゲート41は、プリスケアラ2とプリスケアラ3のいずれか一方を、入力選択信号SELに対応して伝達する機能を有する回路であれば、任意のゲート回路を用いることができる。

【0040】

【発明の効果】以上詳細に説明したように、本発明によれば、異なる周波数のクロックを基本クロックとしたプリスケアラにおいて、異なる周波数の公約数を第2の基本クロックとし、総ての第1のプリスケアラから出力される第2の基本クロック信号を単一の第2のプリスケアラによって処理することによって、回路の簡略化、及び、消費電流の低減を実現することができる。

【図面の簡単な説明】

【図1】本発明のプリスケアラ装置の構成を示すブロック図である。

【図2】図1のプリスケアラ装置をさらに詳細に説明する回路図である。

【図3】図2のプリスケアラ2の動作を説明するタイミングチャートである。

【図4】プリスケアラ装置の従来例のブロック図である。

【図5】異なる周波数入力に対して個別の回路を用いた従来のプリスケアラの構成図である。

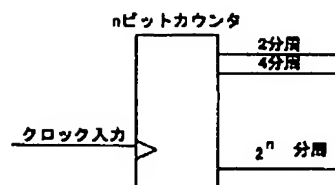
【図6】図5の従来のプリスケアラの更に詳細な構成図である。

【符号の説明】

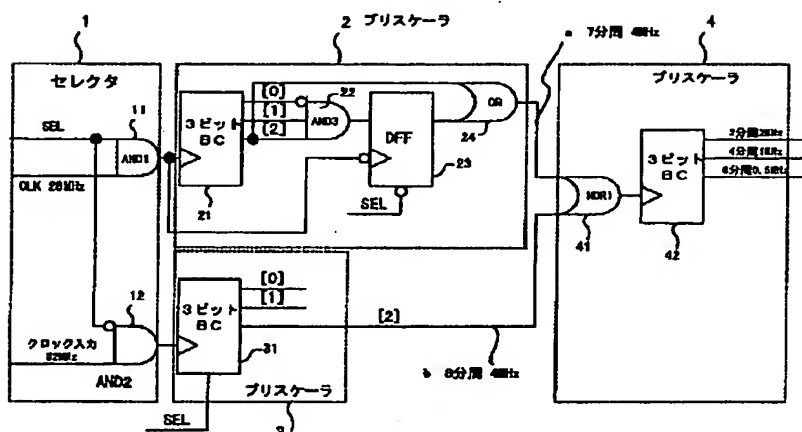
1、51、56 セクタ
2、3、4、52、53、54、55 プリスケアラ
11、12、22、610、611、612、620、621、622 アンドゲート
21、31、42、65、66、67 3ビットバイナリカウンタ
23 Dフリップフロップ
24 OR回路
41 NOR回路

630、631、632 NORゲート

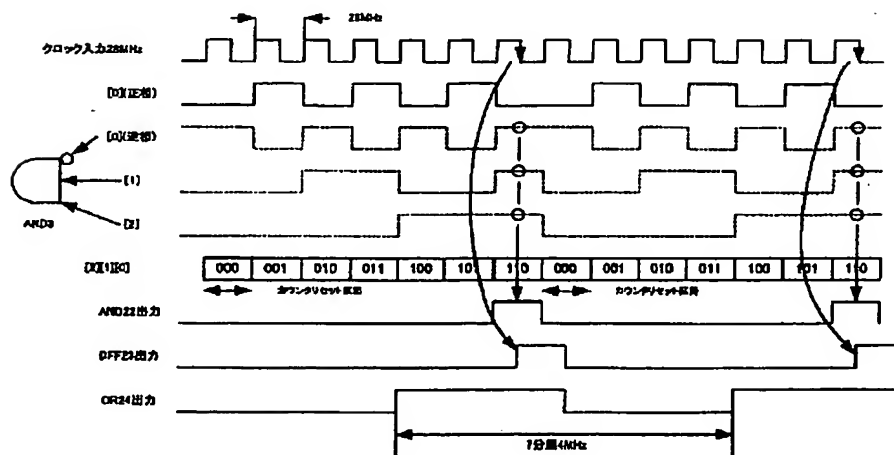
【図4】



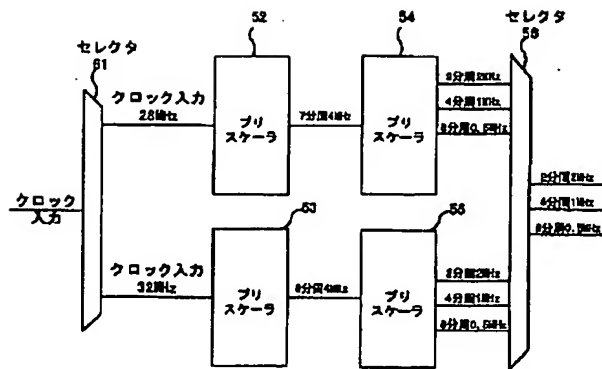
【図 2】



【図 3】



【図5】



【図6】

